

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **09185899 A**(43) Date of publication of application: **15 . 07 . 97**

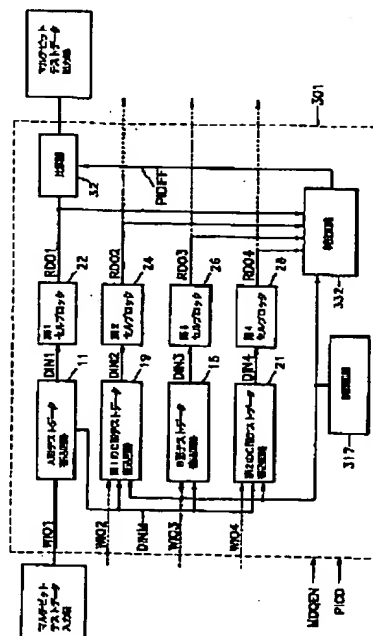
(51) Int. Cl.

G11C 29/00(21) Application number: **08349265**(22) Date of filing: **27 . 12 . 96**(30) Priority: **27 . 12 . 95 KR 95 9559525**(71) Applicant: **SAMSUNG ELECTRON CO LTD**(72) Inventor:
**KIN KO
BOKU KOSHIN
KIN SHOGEN
KO BOSEN****(54) MULTI-BIT TEST CIRCUIT AND ITS TEST METHOD****(57) Abstract:**

PROBLEM TO BE SOLVED: To improve the discovery of a defect rate at test by providing an input and an output to/from a cell block with the same data pattern and a different data pattern in the test data test system.

SOLUTION: A control circuit 317 is enabled by prescribed mode information PIRFH and outputs a pattern selection signal MDQC in response to a prescribed adjustment signal PIDSF. A discrimination circuit 332 is enabled in the multi-test operation and compares and discriminates data of outputs of testing cell blocks 22, 24, 26 in response to a pattern selection signal MDQCK. A comparator 32 compares data integrated to an output signal PIDIFF of the discrimination circuit 332 with an output signal RDOI resulting from testing the cell block 22 and interrupts its output when it is discriminated to be defective.

COPYRIGHT: (C)1997,JPO



【特許請求の範囲】

【請求項1】 半導体メモリ装置において、マルチビットテストモード時にテストデータを隣接したセルブロックに同一なデータパターンと相異なるデータパターンの中選択された何れか1つのパターンでテストしうるマルチビットテスト回路を具備することを特徴とする半導体メモリ装置。

【請求項2】 前記マルチビットテスト回路は、テストモード動作時に入力されるマルチビットテストデータに対して同一なデータパターンの第1出力と第2出力とを有し、前記第1出力は第1セルブロックに供給されるA形テストデータ書込回路と、

マルチテスト動作時に入力される前記A形テストデータ書込回路の第2出力のデータパターンに対し、所定のデータパターン選択信号にตอบสนองして同一なデータパターンと相異なるデータパターンの中選択された何れか1つを第2セルブロックに供給する第1C形テストデータ書込回路を具備することを特徴とする請求項1に記載の半導体メモリ装置。

【請求項3】 前記A形テストデータ書込回路は、テストモード動作時に前記マルチビットテストデータを伝送する伝送手段と、

テストモード動作時に前記伝送手段により伝送されたマルチビットテストデータをラッチさせるラッチ手段と、前記ラッチ手段によりラッチされたデータをバッファリングして前記A形テストデータ書込回路の第1出力信号を発生する第1バッファ手段と、

前記ラッチされたデータをバッファリングして前記第2出力信号を発生する第2バッファ手段とを具備することを特徴とする請求項2に記載の半導体メモリ装置。

【請求項4】 前記ラッチ手段は、前記伝送手段により伝送されたマルチビットテストデータを反転させ前記ラッチ手段の出力信号を発生する第1反転手段と、前記第1反転手段の出力信号を反転させる第2反転手段と、

テストモード動作時に前記第2反転手段の出力を前記第1反転手段の入力端に伝送する伝送ゲートとを具備することを特徴とする請求項3に記載の半導体メモリ装置。

【請求項5】 前記第1バッファ手段は、前記ラッチ手段の出力を反転させ前記A形テストデータ書込回路の第1出力信号を発生する反転手段を具備することを特徴とする請求項3に記載の半導体メモリ装置。

【請求項6】 前記第2バッファ手段は、前記伝送手段により伝送されたマルチビットテストデータを非反転させ前記A形テストデータ書込回路の第2出力信号を発生する非反転手段を具備することを特徴とする請求項3に記載の半導体メモリ装置。

【請求項7】 前記第1C形テストデータ書込回路は、正常モード時の入力データとマルチテスト動作時の前記A形テストデータ書込回路の第2出力の中何れか1つを

選択する選択手段と、

前記パターン選択信号にตอบสนองして前記選択手段により選択されたデータパターンに対して相等しいデータパターンと相反のデータパターンの中何れか1つを選択的にラッチするラッチ手段と、

前記ラッチされたデータをバッファリングして前記第1C形テストデータ書込回路の出力信号を発生するバッファ手段とを具備することを特徴とする請求項2に記載の半導体メモリ装置。

10 【請求項8】 前記選択手段は、テストモード動作時にイネーブルされマルチテスト動作時にตอบสนองする論理和反転手段と、

正常モード時の入力データを伝送する第1伝送ゲートと、

マルチテスト動作時に前記A形テストデータ書込回路の第2出力を伝送する第2伝送ゲートを具備することを特徴とする請求項7に記載の半導体メモリ装置。

20 【請求項9】 前記ラッチ手段は、前記選択手段により選択されたデータを反転させ前記ラッチ手段の出力信号を発生する第1反転手段と、

前記第1反転手段の出力を反転させる第2反転手段と、テストモード動作時に前記第2反転手段の出力を前記第1反転手段の入力端に伝送する第3伝送ゲートと、

前記A形テストデータ書込回路の第2出力信号を前記第1反転手段の入力端と前記第1反転手段の出力端の中前記パターン選択信号に選択された何れか1つに供給するパターン選択手段とを具備することを特徴とする請求項7に記載の半導体メモリ装置。

30 【請求項10】 前記パターン選択手段は、同一パターンマルチテスト動作時に前記A形テストデータ書込回路の第2出力信号を前記第1反転手段の入力端に伝送する第4伝送ゲートと、

相反のパターンマルチテスト動作時に前記A形テストデータ書込回路の第2出力信号を前記第1反転手段の出力端に伝送する第5伝送ゲートとを具備することを特徴とする請求項9に記載の半導体メモリ装置。

40 【請求項11】 前記バッファ手段は、前記ラッチ手段の出力信号を反転させ前記第1C形テストデータ書込回路の出力信号を発生する反転手段を具備することを特徴とする請求項7に記載の半導体メモリ装置。

【請求項12】 前記マルチビットテスト回路は、所定のモード情報信号によりイネーブルされ、所定の調整信号にตอบสนองして前記パターン選択信号を発生する制御回路をさらに具備することを特徴とする請求項2に記載の半導体メモリ装置。

50 【請求項13】 前記制御回路は、前記モード情報信号がアクティブされる時、イネーブルされて前記調整信号にตอบสนองする論理和反転手段と、前記制御回路の出力信号にตอบสนองして前記論理和反転手段の出力信号を伝送する第1伝送ゲートと、

前記第1伝送ゲートにより伝送された前記論理和反転手段の出力信号を反転させる第1反転手段と、

前記第1反転手段の出力信号をラッチさせるラッチ手段と、

前記第1反転手段の出力信号を反転させ前記制御回路の出力信号を発生させる第2反転手段と、

テストモード動作開始時に前記第1反転手段の入力端をプリチャージさせる第1プリチャージ手段と、

テストモード動作開始時に前記制御回路の出力端をプリチャージさせる第2プリチャージ手段とを具備することを特徴とする請求項12に記載の半導体メモリ装置。

【請求項14】 前記第1プリチャージ手段は、前記モード情報信号を反転させる第3反転手段と、

前記調整信号と前記第3反転手段との出力信号及び前記制御回路の出力端の信号の論理積手段と、

前記論理積手段の出力信号がゲートに接続され、ソースが接地電圧に接続され、ドレインは前記第1反転手段の入力端に接続されるNMOSトランジスタとを具備することを特徴とする請求項13に記載の半導体メモリ装置。

【請求項15】 前記第2プリチャージ手段は、所定の初期化信号がゲートに接続され、ソースが接地電圧に接続され、ドレインは前記制御回路の出力端に接続されるNMOSトランジスタを具備することを特徴とする請求項13に記載の半導体メモリ装置。

【請求項16】 前記マルチビットテスト回路は、マルチテスト動作時に入力される前記A形テストデータ書込回路の第2出力のデータパターンに対し、同一なデータパターンを第3セルフブロックに供給するB形テストデータ書込回路と、

マルチテスト動作時に入力される前記A形テストデータ書込回路の第2出力のデータパターンに対し、所定のパターン選択信号にตอบสนองして同一なデータパターンと相異なるデータパターンの中選択された何れか1つを第4セルフブロックに供給する第2C形テストデータ書込回路と、

マルチテスト動作時にイネーブルされ、前記パターン選択信号にตอบสนองして前記第1、第2、第3及び第4セルフブロック等をテストした出力のデータを比較判定する判定回路とをさらに具備することを特徴とする請求項12に記載の半導体メモリ装置。

【請求項17】 前記B形テストデータ書込回路は、正常モード時の入力データとマルチテスト動作時の前記A形テストデータ書込回路の第2出力との中何れか1つを選択する選択手段と、

マルチテスト動作時に前記選択手段により選択されたデータをラッチするラッチ手段と、

前記ラッチ手段によりラッチされたデータをバッファリングして前記B形テストデータ書込回路の出力信号を発生するバッファ手段とを具備することを特徴とする請求

項16に記載の半導体メモリ装置。

【請求項18】 前記選択手段は、テストモード動作時にイネーブルされ、マルチテスト動作時にตอบสนองする論理和反転手段と、

正常モード時に入力データを伝送する第1伝送ゲートと、

マルチテスト動作時に前記A形テストデータ書込回路の第2出力を伝送する第2伝送ゲートとを具備することを特徴とする請求項17に記載の半導体メモリ装置。

10 【請求項19】 前記ラッチ手段は、前記伝送手段により伝送されたデータを反転させ前記ラッチ手段の出力信号を発生する第1反転手段と、

前記第1反転手段の出力を反転させる第2反転手段と、マルチテスト動作時に前記第2反転手段の出力を前記第1反転手段の入力端に伝送する第3伝送ゲートとを具備することを特徴とする請求項17に記載の半導体メモリ装置。

20 【請求項20】 前記バッファ手段は、前記ラッチ手段の出力信号を反転させ前記B形テストデータ書込回路の出力信号を発生する反転手段を具備することを特徴とする請求項17に記載の半導体メモリ装置。

【請求項21】 前記判定回路は、マルチテスト動作時にイネーブルされ、前記第1セルフブロックをテストした第1テスト信号と前記第2セルフブロックをテストした第2テスト信号が相等しい論理状態を有し、前記第3セルフブロックをテストした第3テスト信号と前記第4セルフブロックをテストした第4テスト信号が相等しい論理状態を有する時、ตอบสนองする同一テスト回路と、

30 マルチテスト動作時にイネーブルされ、前記第1セルフブロックをテストした第1テスト信号と前記第2セルフブロックをテストした第2テスト信号が相反の論理状態を有し、前記第3セルフブロックをテストした第3テスト信号と前記第4セルフブロックをテストした第4テスト信号が相反の論理状態を有する時、ตอบสนองする相反テスト回路と、

同一パターンマルチテスト動作時に前記同一テスト回路の出力信号を伝送する第1伝送ゲートと、相反パターンマルチテスト動作時に前記相反テスト回路の出力信号を伝送する第2伝送ゲートと、

40 前記第1伝送ゲートにより伝送された前記同一テスト回路の出力信号と前記第2伝送ゲートにより伝送された前記相反テスト回路の出力信号の中選択された何れか1つを反転させ前記判定回路の出力を発生する反転手段とを具備することを特徴とする請求項16に記載の半導体メモリ装置。

50 【請求項22】 複数のセルフブロックを有する半導体メモリ装置のマルチビットテスト回路において、マルチテスト動作時に入力されるテストデータのデータパターンに対し、所定のパターン選択信号にตอบสนองして同一なデータパターンと相異なるデータパターンの中選択された

何れか1つをセルフブロックに供給するテストデータ書込回路を具備することを特徴とする半導体メモリ装置のマルチビットテスト回路。

【請求項23】 前記テストデータ書込回路は、正常モード時の入力データとマルチテスト動作時に入力されるテストデータの中何れか1つを選択する選択手段と、所定のパターン選択信号に応答して前記選択手段により選択されたデータパターンに対して相等しいデータパターンと相反のデータパターンの中何れか1つを選択的にラッチするラッチ手段と、前記ラッチされたデータをバッファリングして前記テストデータ書込回路の出力信号を発生するバッファ手段とを具備することを特徴とする請求項22に記載の半導体メモリ装置のマルチビットテスト回路。

【請求項24】 前記選択手段は、テストモード動作時にイネーブルされ、マルチテスト動作時に応答する論理和反転手段と、正常モード時の入力データを伝送する第1伝送ゲートと、

前記テストデータを伝送する第2伝送ゲートとを具備することを特徴とする請求項23に記載の半導体メモリ装置のマルチビットテスト回路。

【請求項25】 前記ラッチ手段は、前記選択手段により選択されたデータを反転させ前記ラッチ手段の出力信号を発生する第1反転手段と、前記第1反転手段の出力を反転させる第2反転手段と、テストモード動作時に前記第2反転手段の出力を前記第1反転手段の入力端に伝送する第3伝送ゲートと、前記テストデータを前記第1反転手段の入力端と前記第1反転手段の出力端との中前記パターン選択信号に選択された何れか1つに供給するパターン選択手段とを具備することを特徴とする請求項23に記載の半導体メモリ装置のマルチビットテスト回路。

【請求項26】 前記パターン選択手段は、同一パターンマルチテスト動作時にテストデータを前記第1反転手段の入力端に伝送する第4伝送ゲートと、相反パターンマルチテスト動作時にテストデータを前記第1反転手段の出力端に伝送する第5伝送ゲートとを具備することを特徴とする請求項25に記載の半導体メモリ装置のマルチビットテスト回路。

【請求項27】 前記バッファ手段は、前記ラッチ手段の出力信号を反転させ前記テストデータ書込回路の出力信号を発生する反転手段を具備することを特徴とする請求項23に記載の半導体メモリ装置のマルチビットテスト回路。

【請求項28】 複数のセルフブロックを有する半導体メモリ装置のマルチビットテスト回路において、パターン選択信号に応答して入力テストデータパターンに対して相等しいデータパターンと相反のデータパターンの中選択される何れか1つのパターンで前記セルフブ

ック等をテストした出力のデータを比較判定する判定回路を具備することを特徴とする半導体メモリ装置のマルチビットテスト回路。

【請求項29】 前記判定回路は、マルチテスト動作時にイネーブルされ、第1セルフブロックをテストした第1テスト信号と前記第2セルフブロックをテストした第2テスト信号が相等しい論理状態を有し、前記第3セルフブロックをテストした第3テスト信号と前記第4セルフブロックをテストした第4テスト信号が相等しい論理状態を有する時、応答する同一テスト回路と、マルチテスト動作時にイネーブルされ、前記第1セルフブロックをテストした第1テスト信号と前記第2セルフブロックをテストした第2テスト信号が相反の論理状態を有し、前記第3セルフブロックをテストした第3テスト信号と前記第4セルフブロックをテストした第4テスト信号が相反の論理状態を有する時、応答する相反テスト回路と、

同一パターンマルチテスト動作時に前記同一テスト回路の出力信号を伝送する第1伝送ゲートと、

相反パターンマルチテスト動作時に前記相反テスト回路の出力信号を伝送する第2伝送ゲートと、

前記第1伝送ゲートにより伝送された前記同一テスト回路の出力信号と前記第2伝送ゲートにより伝送された前記相反テスト回路の出力信号の中選択された何れか1つを反転させ前記判定回路の出力を発生する反転手段とを具備することを特徴とする請求項28に記載の半導体メモリ装置のマルチビットテスト回路。

【請求項30】 マルチビットテスト回路をリセットするリセット段階と、

前記リセット段階後マルチビットテストモードをセッティングするセッティング段階と、

前記セッティング段階後マルチビット等にテストデータのパターンをセッティングするテストデータパターンセッティング段階と、

前記テストデータパターンセッティング段階でセッティングされたテストデータをセルに書込む書込段階と、

前記書込段階でセルに書込まれたデータを読出す読出段階とを具備することを特徴とする半導体メモリ装置のマルチビットテスト方法。

【請求項31】 前記テストデータパターンセッティング段階は同一データをテストするかを決定するパターン決定段階と、

前記パターン決定段階で同一データをテストすることに決定した場合、マルチビットテストセッティング後の最初テストサイクルかを判別する最初サイクル判別段階と、

前記最初サイクル判別段階で判別した結果、最初テストサイクルでない場合マルチビット等に同一データをセッティングする同一データセッティング段階と、

前記パターン決定段階で異なるデータをテストするこ

とに決めた場合、マルチビット等に相異なるデータをセッティングする相反データセッティング段階とを具備することを特徴とする請求項30に記載の半導体メモリ装置のマルチビットテスト方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体メモリ装置に係り、特にテストデータ入力端からデータを受取ってテストする隣接したセルブロック等のテストデータのビットパターンを選択しうるマルチビットテスト回路及びそのテスト方法に関する。

【0002】

【従来の技術】最近、半導体メモリ装置は入出力方式が4ビット、8ビット、16ビット及び32ビット等にマルチビット化されている。そして、マルチビット半導体メモリ装置のテスト時間及びコストの負担を減らすため多数のビットを同時にテストする方式が使用されている。

【0003】図8は従来の技術のマルチビットテスト回路のブロック図である。これを参照すれば、従来の技術のマルチビットテスト回路はテストモード選択信号であるMDQENが“ハイ”の場合、前記B形テストデータ書込回路13、15、17の個別マルチビットモード時の入力W102、W103及びW104が遮断される。そしてマルチビットテストデータがW101で入力され前記A形テストデータ書込回路11により統合された1つのビットDINMとなってB形テストデータ書込回路13、15、17によりテストデータDIN2、DIN3、DIN4で第2、第3及び第4セルブロックに入力されテストするようになっている。

【0004】しかし、従来の技術のマルチビットテスト方式では統合された入出力ビットとしてセルブロック等をテストする場合、隣接したセルブロック間に同一なデータパターンでのみテストが実行できる。従って、従来の技術のマルチビットテスト方式は各セルブロックに入力される統合された入出力ビット間に相異なるデータパターンを使用する際発生しうる不良が全然発見できない。よって、実質的なテスト適用時に、従来の技術のマルチビットテスト方式は可能性のある全ての不良が検出できないものである。

【0005】図9は図8の判定回路30を示した図面である。前記判定回路30は従来の技術のマルチビット回路で前記第1、第2、第3及び第4セルブロックをテストした結果の出力データRDO1、RDO2、RDO3及びRDO4を比較判定する回路である。

【0006】具体的には、図9を参照すれば、前記RDO1、RDO2、RDO3及びRDO4を比較して全て同一な場合、前記判定回路の出力PIDIFFが“ロー”となる。そして、前記RDO1、RDO2、RDO3及びRDO4を比較して同一でないデータを含む場

合、前記判定回路の出力PIDIFFは“ハイ”となる。そして、前記PIDIFFが“ハイ”の場合は、前記比較器32が前記第1セルブロックをテストして出力したデータのRDO1が出力されることを遮断させることにより不良と判断されるようにする。

【0007】

【発明が解決しようとする課題】しかし、従来の技術のマルチビットテスト回路では次のような問題点がある。まず、第1、第2、第3及び第4セルブロックに同一なテストデータパターンのみを書込、読出すに因してビット間接続による不良が検出できない。

【0008】次に、従来の技術の判定回路は、比較されるRDO対のRDO1-RDO3対とRDO2-RDO4対とが同時に不良（FAIL）の場合にはその不良が認識できない。例えば、前記第1セルブロックと第3セルブロックとに存在すると仮定した時、マルチビットテストデータを“ハイ”に書込むと、前記RDO1とRDO3とが両方“ロー”となる。この場合にも前記判定回路の出力信号PIDIFFは“ロー”となって不良が検出できない。

【0009】本発明の目的は従来の技術の問題点を克服してテストデータテスト方式で同一なデータパターンと相異なるデータパターンでセルブロックに入出力することによりテストでの不良率の発見を飛躍的に向上したマルチビットテスト回路を提供することにある。

【0010】本発明の他の目的は前記マルチビットテスト回路に適したテスト方法を提供することにある。

【0011】

【課題を解決するための手段】前記のような本発明の目的を達成するため、請求項1記載の第1の発明は、半導体メモリ装置において、マルチビットテストモード時にテストデータを隣接したセルブロックに同一なデータパターンと相異なるデータパターンの中選択された何れか1つのパターンでテストしうるマルチビットテスト回路を具備することを要旨とする。従って、テストデータテスト方式で同一なデータパターンと相異なるデータパターンでセルブロックに入出力することによりテストでの不良率の発見を飛躍的に向上できる。

【0012】請求項2記載の第2の発明は、前記マルチビットテスト回路は、テストモード動作時に入力されるマルチビットテストデータに対して同一なデータパターンの第1出力と第2出力とを有し、前記第1出力は第1セルブロックに供給されるA形テストデータ書込回路と、マルチテスト動作時に入力される前記A形テストデータ書込回路の第2出力のデータパターンに対し、所定のパターン選択信号に応答して同一なデータパターンと相異なるデータパターンの中選択された何れか1つを第2セルブロックに供給する第1C形テストデータ書込回路を具備することを要旨とする。

【0013】請求項3記載の第3の発明は、前記A形テ

ストデータ書込回路は、テストモード動作時に前記マルチビットテストデータを伝送する伝送手段と、テストモード動作時に前記伝送手段により伝送されたマルチビットテストデータをラッチさせるラッチ手段と、前記ラッチ手段によりラッチされたデータをバッファリングして前記A形テストデータ書込回路の第1出力信号を発生する第1バッファ手段と、前記ラッチされたデータをバッファリングして前記第2出力信号を発生する第2バッファ手段とを具備することを要旨とする。

【0014】請求項4記載の第4の発明は、前記ラッチ手段は、前記伝送手段により伝送されたマルチビットテストデータを反転させ前記ラッチ手段の出力信号を発生する第1反転手段と、前記第1反転手段の出力信号を反転させる第2反転手段と、テストモード動作時に前記第2反転手段の出力を前記第1反転手段の入力端に伝送する伝送ゲートとを具備することを要旨とする。

【0015】請求項5記載の第5の発明は、前記第1バッファ手段は、前記ラッチ手段の出力を反転させ前記A形テストデータ書込回路の第1出力信号を発生する反転手段を具備することを要旨とする。

【0016】請求項6記載の第6の発明は、前記第2バッファ手段は、前記伝送手段により伝送されたマルチビットテストデータを非反転させ前記A形テストデータ書込回路の第2出力信号を発生する非反転手段を具備することを要旨とする。

【0017】請求項7記載の第7の発明は、前記第1C形テストデータ書込回路は、正常モード時の入力データとマルチテスト動作時の前記A形テストデータ書込回路の第2出力の中何れか1つを選択する選択手段と、前記パターン選択信号にตอบสนองして前記選択手段により選択されたデータパターンに対して相等しいデータパターンと相反のデータパターンの中何れか1つを選択的にラッチするラッチ手段と、前記ラッチされたデータをバッファリングして前記第1C形テストデータ書込回路の出力信号を発生するバッファ手段とを具備することを要旨とする。

【0018】請求項8記載の第8の発明は、前記選択手段は、テストモード動作時にイネーブルされマルチテスト動作時にตอบสนองする論理和反転手段と、正常モード時の入力データを伝送する第1伝送ゲートと、マルチテスト動作時に前記A形テストデータ書込回路の第2出力を伝送する第2伝送ゲートとを具備することを要旨とする。

【0019】請求項9記載の第9の発明は、前記ラッチ手段は、前記選択手段により選択されたデータを反転させ前記ラッチ手段の出力信号を発生する第1反転手段と、前記第1反転手段の出力を反転させる第2反転手段と、テストモード動作時に前記第2反転手段の出力を前記第1反転手段の入力端に伝送する第3伝送ゲートと、前記A形テストデータ書込回路の第2出力信号を前記第1反転手段の入力端と前記第1反転手段の出力端の中前

記パターン選択信号に選択された何れか1つに供給するパターン選択手段とを具備することを要旨とする。

【0020】請求項10記載の第10の発明は、前記パターン選択手段は、同一パターンマルチテスト動作時に前記A形テストデータ書込回路の第2出力信号を前記第1反転手段の入力端に伝送する第4伝送ゲートと、相反のパターンマルチテスト動作時に前記A形テストデータ書込回路の第2出力信号を前記第1反転手段の出力端に伝送する第5伝送ゲートとを具備することを要旨とする。

【0021】請求項11記載の第11の発明は、前記バッファ手段は、前記ラッチ手段の出力信号を反転させ前記第1C形テストデータ書込回路の出力信号を発生する反転手段を具備することを要旨とする。

【0022】請求項12記載の第12の発明は、前記マルチビットテスト回路は、所定のモード情報信号によりイネーブルされ、所定の調整信号にตอบสนองして前記パターン選択信号を発生する制御回路をさらに具備することを要旨とする。

【0023】請求項13記載の第13の発明は、前記制御回路は、前記モード情報信号がアクティブされる時、イネーブルされて前記調整信号にตอบสนองする論理和反転手段と、前記制御回路の出力信号にตอบสนองして前記論理和反転手段の出力信号を伝送する第1伝送ゲートと、前記第1伝送ゲートにより伝送された前記論理和反転手段の出力信号を反転させる第1反転手段と、前記第1反転手段の出力信号をラッチさせるラッチ手段と、前記第1反転手段の出力信号を反転させ前記制御回路の出力信号を発生させる第2反転手段と、テストモード動作開始時に前記第1反転手段の入力端をブリチャージさせる第1ブリチャージ手段と、テストモード動作開始時に前記制御回路の出力端をブリチャージさせる第2ブリチャージ手段とを具備することを要旨とする。

【0024】請求項14記載の第14の発明は、前記第1ブリチャージ手段は、前記モード情報信号を反転させる第3反転手段と、前記調整信号と前記第3反転手段との出力信号及び前記制御回路の出力端の信号の論理積手段と、前記論理積手段の出力信号がゲートに接続され、ソースが接地電圧に接続され、ドレインは前記第1反転手段の入力端に接続されるNMOSトランジスタとを具備することを要旨とする。

【0025】請求項15記載の第15の発明は、前記第2ブリチャージ手段は、所定の初期化信号がゲートに接続され、ソースが接地電圧に接続され、ドレインは前記制御回路の出力端に接続されるNMOSトランジスタを具備することを要旨とする。

【0026】請求項16記載の第16の発明は、前記マルチビットテスト回路は、マルチテスト動作時に入力される前記A形テストデータ書込回路の第2出力のデータパターンに対し、同一なデータパターンを第3セルフロ

ックに供給するB形テストデータ書込回路と、マルチテスト動作時に入力される前記A形テストデータ書込回路の第2出力のデータパターンに対し、所定のパターン選択信号にตอบสนองして同一なデータパターンと相異なるデータパターンの中選択された何れか1つを第4セルフブロックに供給する第2C形テストデータ書込回路と、マルチテスト動作時にイネーブルされ、前記パターン選択信号にตอบสนองして前記第1、第2、第3及び第4セルフブロック等をテストした出力のデータを比較判定する判定回路とをさらに具備することを要旨とする。

【0027】請求項17記載の第17の発明は、前記B形テストデータ書込回路は、正常モード時の入力データとマルチテスト動作時の前記A形テストデータ書込回路の第2出力との中何れか1つを選択する選択手段と、マルチテスト動作時に前記選択手段により選択されたデータをラッチするラッチ手段と、前記ラッチ手段によりラッチされたデータをバッファリングして前記B形テストデータ書込回路の出力信号を発生するバッファ手段とを具備することを要旨とする。

【0028】請求項18記載の第18の発明は、前記選択手段は、テストモード動作時にイネーブルされ、マルチテスト動作時にตอบสนองする論理和反転手段と、正常モード時に入力データを伝送する第1伝送ゲートと、マルチテスト動作時に前記A形テストデータ書込回路の第2出力を伝送する第2伝送ゲートとを具備することを要旨とする。

【0029】請求項19記載の第19の発明は、前記ラッチ手段は、前記伝送手段により伝送されたデータを反転させ前記ラッチ手段の出力信号を発生する第1反転手段と、前記第1反転手段の出力を反転させる第2反転手段と、マルチテスト動作時に前記第2反転手段の出力を前記第1反転手段の入力端に伝送する第3伝送ゲートとを具備することを要旨とする。

【0030】請求項20記載の第20の発明は、前記バッファ手段は、前記ラッチ手段の出力信号を反転させ前記B形テストデータ書込回路の出力信号を発生する反転手段を具備することを要旨とする。

【0031】請求項21記載の第21の発明は、前記判定回路は、マルチテスト動作時にイネーブルされ、前記第1セルフブロックをテストした第1テスト信号と前記第2セルフブロックをテストした第2テスト信号が相等しい論理状態を有し、前記第3セルフブロックをテストした第3テスト信号と前記第4セルフブロックをテストした第4テスト信号が相等しい論理状態を有する時、ตอบสนองする同一テスト回路と、マルチテスト動作時にイネーブルされ、前記第1セルフブロックをテストした第1テスト信号と前記第2セルフブロックをテストした第2テスト信号が相反の論理状態を有し、前記第3セルフブロックをテストした第3テスト信号と前記第4セルフブロックをテストした第4テスト信号が相反の論理状態を有する時、応答す

る相反テスト回路と、同一パターンマルチテスト動作時に前記同一テスト回路の出力信号を伝送する第1伝送ゲートと、相反パターンマルチテスト動作時に前記相反テスト回路の出力信号を伝送する第2伝送ゲートと、前記第1伝送ゲートにより伝送された前記同一テスト回路の出力信号と前記第2伝送ゲートにより伝送された前記相反テスト回路の出力信号の中選択された何れか1つを反転させ前記判定回路の出力を発生する反転手段とを具備することを要旨とする。

10 【0032】請求項22記載の第22の発明は、複数個のセルフブロックを有する半導体メモリ装置のマルチビットテスト回路において、マルチテスト動作時に入力されるテストデータのパターンに対し、所定のパターン選択信号にตอบสนองして同一なデータパターンと相異なるデータパターンの中選択された何れか1つをセルフブロックに供給するテストデータ書込回路を具備することを要旨とする。

【0033】請求項23記載の第23の発明は、前記テストデータ書込回路は、正常モード時の入力データとマルチテスト動作時に入力されるテストデータの中何れか1つを選択する選択手段と、所定のパターン選択信号にตอบสนองして前記選択手段により選択されたデータパターンに対して相等しいデータパターンと相反のデータパターンの中何れか1つを選択的にラッチするラッチ手段と、前記ラッチされたデータをバッファリングして前記テストデータ書込回路の出力信号を発生するバッファ手段とを具備することを要旨とする。

【0034】請求項24記載の第24の発明は、前記選択手段は、テストモード動作時にイネーブルされ、マルチテスト動作時にตอบสนองする論理和反転手段と、正常モード時の入力データを伝送する第1伝送ゲートと、前記テストデータを伝送する第2伝送ゲートとを具備することを要旨とする。

【0035】請求項25記載の第25の発明は、前記ラッチ手段は、前記選択手段により選択されたデータを反転させ前記ラッチ手段の出力信号を発生する第1反転手段と、前記第1反転手段の出力を反転させる第2反転手段と、テストモード動作時に前記第2反転手段の出力を前記第1反転手段の入力端に伝送する第3伝送ゲートと、前記テストデータを前記第1反転手段の入力端と前記第1反転手段の出力端との中前記パターン選択信号に選択された何れか1つに供給するパターン選択手段とを具備することを要旨とする。

【0036】請求項26記載の第26の発明は、前記パターン選択手段は、同一パターンマルチテスト動作時にテストデータを前記第1反転手段の入力端に伝送する第4伝送ゲートと、相反パターンマルチテスト動作時にテストデータを前記第1反転手段の出力端に伝送する第5伝送ゲートとを具備することを要旨とする。

50 【0037】請求項27記載の第27の発明は、前記パ

ッファ手段は、前記ラッチ手段の出力信号を反転させ前記テストデータ書込回路の出力信号を発生する反転手段を具備することを要旨とする。

【0038】請求項28記載の第28の発明は、複数のセルブロックを有する半導体メモリ装置のマルチビットテスト回路において、パターン選択信号に応答して入力テストデータパターンに対して相等しいデータパターンと相反のデータパターンの中選択される何れか1つのパターンで前記セルブロック等をテストした出力のデータを比較判定する判定回路を具備することを要旨とする。

【0039】請求項29記載の第29の発明は、前記判定回路は、マルチテスト動作時にイネーブルされ、第1セルブロックをテストした第1テスト信号と前記第2セルブロックをテストした第2テスト信号が相等しい論理状態を有し、前記第3セルブロックをテストした第3テスト信号と前記第4セルブロックをテストした第4テスト信号が相等しい論理状態を有する時、応答する同一テスト回路と、マルチテスト動作時にイネーブルされ、前記第1セルブロックをテストした第1テスト信号と前記第2セルブロックをテストした第2テスト信号が相反の論理状態を有し、前記第3セルブロックをテストした第3テスト信号と前記第4セルブロックをテストした第4テスト信号が相反の論理状態を有する時、応答する相反テスト回路と、同一パターンマルチテスト動作時に前記同一テスト回路の出力信号を伝送する第1伝送ゲートと、相反パターンマルチテスト動作時に前記相反テスト回路の出力信号を伝送する第2伝送ゲートと、前記第1伝送ゲートにより伝送された前記同一テスト回路の出力信号と前記第2伝送ゲートにより伝送された前記相反テスト回路の出力信号の中選択された何れか1つを反転させ前記判定回路の出力を発生する反転手段とを具備することを要旨とする。

【0040】請求項30記載の第30の発明は、マルチビットテスト回路をリセットするリセット段階と、前記リセット段階後マルチビットテストモードをセッティングするセッティング段階と、前記セッティング段階後マルチビット等にテストデータのパターンをセッティングするテストデータパターンセッティング段階と、前記テストデータパターンセッティング段階でセッティングされたテストデータをセルに書込む書込段階と、前記書込段階でセルに書込まれたデータを読み出す読出段階とを具備することを要旨とする。従って、テストデータテスト方式で同一なデータパターンと相異なるデータパターンでセルブロックに入出力することによりテストでの不良率の発見を飛躍的に向上できる。

【0041】請求項31記載の第31の発明は、前記テストデータパターンセッティング段階は同一データをテストするかを決定するパターン決定段階と、前記パターン決定段階で同一データをテストすることに決定した場

合、マルチビットテストセッティング後の最初テストサイクルかを判別する最初サイクル判別段階と、前記最初サイクル判別段階で判別した結果、最初テストサイクルでない場合マルチビット等に同一データをセッティングする同一データセッティング段階と、前記パターン決定段階で相異なるデータをテストすることに決めた場合、マルチビット等に相異なるデータをセッティングする相反データセッティング段階とを具備することを要旨とする。

【0042】

【発明の実施の形態】図1は本発明のマルチビットテスト回路の実施例を示したブロック図である。これを参照すれば、本発明のマルチビットテスト回路301はA、B及びC形テストデータ書込回路11、15、19、21と制御回路317及び判定回路332を具備する。

【0043】前記A形テストデータ書込回路11は所定のテスト回路駆動信号のP I C Dがアクティブされテストモードが動作する時、入力されるマルチビットテストデータに対して同一なデータパターンの第1出力D I N 1と第2出力D I N Mを有する。そして、前記第1出力D I N 1は前記第1セルブロック22に供給される。

【0044】そして、前記B形テストデータ書込回路15はマルチテスト動作時に入力される前記A形テストデータ書込回路11の第2出力D I N Mのデータパターンに対し、同一なデータパターンを前記第3セルブロック26に供給する。後述するテストモード選択信号M D Q E Nがアクティブされる際マルチテスト動作が発生する。

【0045】前記第1C形テストデータ書込回路19はマルチテスト動作時に入力される前記A形テストデータ書込回路11の第2出力D I N Mのデータパターンに対し、後述する所定のパターン選択信号M D Q C Kに응答して同一なデータパターンと相異なるデータパターンとの中選択された何れか1つを前記第2セルブロック24に供給する。

【0046】前記第2C形テストデータ書込回路21はマルチテスト動作時に入力される前記A形テストデータ書込回路11の第2出力D I N Mのデータパターンに対し、後述する所定のパターン選択信号M D Q C Kに응答して同一なデータパターンと相異なるデータパターンとの中選択された何れか1つを前記第4セルブロック28に供給する。

【0047】そして、前記制御回路317は所定のモード情報信号P I R F Hによりイネーブルされ、所定の調整信号P I D S Fに응答して前記パターン選択信号M D Q C Kを出力する。

【0048】前記判定回路332はマルチテスト動作時にイネーブルされ、前記パターン選択信号M D Q C Kに응答して前記セルブロック等をテストした出力のデータを比較判定する。

10

20

30

40

50

【0049】比較器32は前記判定回路332の出力信号P I D I F Fに統合された1つのデータと前記第1セルブロック22をテストした出力信号R D O Iを比較して不良と判定される時はその出力を遮断させる。

【0050】図2はA形テストデータ書込回路11を示した図面である。これを参照すれば、伝送手段401、ラッチ手段403、第1バッファ手段405及び第2バッファ手段407よりなる。

【0051】前記伝送手段401はテストモード動作時に前記マルチビットテストデータを伝送する。本実施形態においてP I C Dは/C A D系の信号であって、“ロー”にイネーブルされる際前記A形テストデータ書込回路11にマルチビットテストデータを入力させる。そして、前記ラッチ手段403はテストモード動作時に前記伝送手段401により伝送されたマルチビットテストデータをラッチさせる。

【0052】また、前記第1バッファ手段405は前記ラッチされたデータをバッファリングして前記第1セルブロック22に前記A形テストデータ書込回路11の第1出力信号D I N 1を供給する。そして、前記第2バッファ手段407は前記ラッチされたデータをバッファリングして前記A形テストデータ書込回路11の第2出力信号D I N Mを発生する。

【0053】そして、前記ラッチ手段403は第1反転手段409、第2反転手段411及び伝送ゲート413よりなる。

【0054】前記第1反転手段409は前記伝送手段401により伝送されたマルチビットテストデータを反転させ前記ラッチ手段403の出力信号N 4 0 4を発生する。そして前記第2反転手段411は前記第1反転手段409の出力信号N 4 0 4を反転させる。また、前記伝送ゲート413はテストモード動作時に前記第2反転手段411の出力を前記第1反転手段409の入力端N 4 0 2に伝送する。

【0055】前記第1バッファ手段405は前記ラッチ手段403の出力信号N 4 0 4を反転させ前記A形テストデータ書込回路11の第1出力信号D I N 1を発生する反転手段を具備する。そして、前記第2バッファ手段407は前記伝送手段401により伝送されたマルチビットテストデータを非反転させ前記A形テストデータ書込回路11の第2出力信号D I N Mを発生する非反転手段を具備する。

【0056】従って、前記A形テストデータ書込回路11はマルチビットテストデータを入力してラッチさせる。そして、前記マルチビットテストデータと同一なパターンデータを第1出力信号D I N 1として第1セルブロック22に供給し、第2出力信号D I N MとしてB及びC形テストデータ書込回路に供給する。

【0057】図3はB形テストデータ書込回路15の実施形態を示した図面である。これを参照すれば、前記B

形テストデータ書込回路15は選択手段501、ラッチ手段503、バッファ手段505を具備する。

【0058】前記選択手段501は正常モード時の入力データW I O 3とマルチテスト動作時の前記A形テストデータ書込回路の第2出力信号D I N Mとの中何れか1つを選択する。前記M D Q E Nが“ハイ”にイネーブルされると、正常モード時の入力データW I O 3の入力バスを遮断し、前記A形テストデータ書込回路11の第2出力信号D I N Mを入力させる。そして、前記ラッチ手段503はマルチテスト動作時に前記選択手段501により選択されたデータをラッチする。前記バッファ手段505は前記ラッチ手段503によりラッチされたデータをバッファリングして前記第3ブロック26に出力信号D I N 3を供給する。

【0059】そして、前記選択手段501は論理和反転手段507、第1伝送ゲート509及び第2伝送ゲート511を具備する。前記論理和反転手段507はテストモード動作時にイネーブルされ、マルチテスト動作時に応答する。そして前記第1伝送ゲート509は前記論理和反転手段507の出力信号N 5 0 8に反応して正常モード時の入力データW I O 3を伝送し、前記第2伝送ゲート511はマルチテスト動作時に前記A形テストデータ書込回路11の第2出力D I N Mを伝送する。

【0060】前記ラッチ手段503は第1反転手段512、第2反転手段513及び第3伝送ゲート515を具備する。

【0061】前記第1反転手段512は前記伝送手段509により伝送されたデータを反転させ前記ラッチ手段の出力信号N 5 0 4を発生し、前記第2反転手段513は前記第1反転手段512の出力信号N 5 0 4を反転させる。そして、前記第3伝送ゲート515はマルチテスト動作時に前記第2反転手段513の出力信号N 5 1 4を前記第1反転手段512の入力端N 5 0 2に伝送する。

【0062】前記バッファ手段505は前記ラッチ手段503の出力信号N 5 0 4を反転させ前記第3セルブロック26に供給される前記B形テストデータ書込回路15の出力信号D I N 3を発生する反転手段を具備する。

【0063】前記B形テストデータ書込回路15は前記P I C Dが“ロー”にイネーブルされてから前記M D Q E Nが“ハイ”にイネーブルされると、正常モード時の入力データW I O iの入力バスを遮断し、前記A形テストデータ書込回路11の第2出力D I N Mを入力させる。そして、前記ラッチ手段503は前記選択手段501により選択されたデータを前記テストモード選択信号M D Q E Nに反応してラッチする。そして前記B形テストデータ書込回路15の出力信号D I N 3は前記マルチビットテストデータと同一なデータパターンを有する。従って、前記第3セルブロック26は前記マルチビットテストデータと同一なデータパターンとしてテストす

10

20

30

40

50

る。

【0064】図4はC形テストデータ書込回路19、21の実施形態を示す図面である。これを参照すれば、前記C形テストデータ書込回路19、21は選択手段601、ラッチ手段603、バッファ手段605を具備する。

【0065】前記選択手段601は正常モード時の入力データWIOiとマルチテスト動作時の前記A形テストデータ書込回路11の第2出力DINMの中何れか1つを選択する。前記ラッチ手段603は前記パターン選択信号MDQCKにตอบสนองして前記選択手段601により選択された前記A形テストデータ書込回路11の第2出力DINMに対して同一データパターンと相反データパターンの中何れか1つを選択的にラッチする。そして前記バッファ手段605は前記ラッチ手段603によりラッチされたデータをバッファリングして前記C形テストデータ書込回路19、21の出力信号DINIを発生する。

【0066】前記選択手段601は論理和反転手段607、第1伝送ゲート609及び第2伝送ゲート611を具備する。前記論理和反転手段607はテストモード動作時にイネーブルされ、テスト動作時にตอบสนองする。前記第1伝送ゲート609は正常モード時の入力データWIOiを伝送し、前記第2伝送ゲート611はマルチテスト動作時に前記A形テストデータ書込回路11の第2出力DINMを伝送する。

【0067】前記選択手段601は前記PICDが“ロー”にイネーブルされてから前記MDQENが“ハイ”にイネーブルされると、正常モード時の入力データWIOiの入力バスを遮断し、前記A形テストデータ書込回路11の第2出力DINMを入力する。

【0068】前記ラッチ手段603は第1反転手段612、第2反転手段613、第3伝送ゲート615及びパターン選択手段617で構成されている。

【0069】前記第1反転手段612は前記選択手段601により選択されたデータを反転させ前記ラッチ手段603の出力信号N604を発生し、前記第2反転手段613は前記第1反転手段612の出力信号N604を反転させる。そして、前記第3伝送ゲート615はテストモード動作時に前記第2反転手段613の出力信号N614を前記第1反転手段612の入力端N602に伝送する。パターン選択手段617は前記パターン選択信号MDQCKにตอบสนองして前記A形テストデータ書込回路11の第2出力信号DINMを前記第1反転手段612の入力端N602と前記第1反転手段612の出力端N604の中選択された何れか1つに供給する。

【0070】前記パターン選択手段617は第4伝送ゲート619と第5伝送ゲート621を具備する。前記第4伝送ゲート619は前記パターン選択信号MDQCKにตอบสนองして前記A形テストデータ書込回路11の第2出

力信号DINMを前記第1反転手段612の入力端N602に伝送し、前記第5伝送ゲート621は前記パターン選択信号MDQCKにตอบสนองして前記A形テストデータ書込回路11の第2出力信号DINMを前記第1反転手段612の出力端N604に伝送する。

【0071】従って、前記MDQCKの論理状態が“ロー”の場合、前記選択手段601により選択された前記A形テストデータ書込回路11の第2出力信号DINMが前記第4伝送ゲート619を通して前記第1反転手段612の入力端N602に伝送する。そして、前記MDQCKの論理状態が“ハイ”の場合、前記選択手段601により選択された前記A形テストデータ書込回路11の第2出力信号DINMが前記第5伝送ゲート621を通して前記第1反転手段612の出力端N604に伝送する。

【0072】前記バッファ手段605は前記ラッチ手段603の出力信号N604を反転させ前記C形テストデータ書込回路の出力信号DINIを発生する反転手段を具備する。

【0073】従って、前記C形テストデータ書込回路19、21は前記MDQCKが“ハイ”にイネーブルされるとA形テストデータ書込回路11の第2出力信号DINMを入力する。

【0074】そして、前記MDQCKの論理状態が“ハイ”なら、前記DINMは前記第5伝送ゲート621を通して入力される。従って、前記C形テストデータ書込回路19、21の出力信号DINIは前記DINMと相異なるデータパターンを有する。よって、前記MDQCKの論理状態が“ハイ”なら前記DINIがマルチビットテストデータと相異なるデータパターンとして前記第2セルフブロック24と第4セルフブロック28をテストする。

【0075】そして、前記MDQCKの論理状態が“ロー”なら、前記DINMは前記第4伝送ゲート619を通して入力される。従って、前記C形テストデータ書込回路19、21の出力信号DINIは前記DINMと同一なデータパターンを有する。よって、前記MDQCKの論理状態が“ロー”なら前記DINIがマルチビットテストデータと同一なデータパターンとして前記第2セルフブロック24と第4セルフブロック28をテストする。

【0076】図5は図1の制御回路317を示した図面である。これを参照すれば、前記制御回路317は論理和反転手段701、第1伝送ゲート703、第1反転手段705、ラッチ手段707、第2反転手段709、第1プリチャージ手段711及び第2プリチャージ手段713を具備する。

【0077】前記論理和反転手段701は前記モード情報信号PIRFHによりイネーブルされ前記調整信号PIDSFにตอบสนองする。前記第1伝送ゲート703は前記制御回路317の出力信号MDQCKにตอบสนองして前記論

理和反転手段701の出力信号N702を伝送する。そして前記第1反転手段705は前記第1伝送ゲート703により伝送された前記論理和反転手段701の出力信号N702を反転させる。前記ラッチ手段707は前記第1反転手段705の出力信号N706をラッチさせる。前記第2反転手段709は前記第1反転手段705の出力信号N706を反転させ前記制御回路317の出力信号MDQCKを発生させる。そして前記第1プリチャージ手段711はテストモード動作開始時に前記第1反転手段705の入力端N704をプリチャージさせ、前記第2プリチャージ手段713はテストモード動作開始時に前記制御回路317の出力端MDQCKをプリチャージさせる。

【0078】前記第1プリチャージ手段711は第3反転手段715、論理積手段717及びNMOSTランジスター719で構成される。

【0079】前記第3反転手段715は前記モード情報信号PIRFHを反転させる。そして、前記論理積手段717は前記調整信号PIDSFと前記第3反転手段715との出力信号N716及び前記制御回路317の出力端の信号MDQCKを論理積して出力する。前記NMOSTランジスター719は前記論理積手段717の出力信号N718がゲートに接続され、ソースが接地電圧VSSに接続され、ドレインは前記第1反転手段705の入力端N704に接続される。

【0080】また、前記第2プリチャージ手段713は所定の初期化信号PIRSTがゲートに接続され、ソースが接地電圧VSSに接続され、ドレインは前記制御回路の出力端MDQCKに接続されるNMOSTランジスターを具備する。

【0081】本実施形態の制御回路317はマルチビットテストデータを各セルブロックに同一または異なるデータでテストすることを選択する機能をする。即ち、各セルブロックをテストする時、マルチビットテストデータと同一または異なるデータを選択するパターン選択信号MDQCKを発生させる回路である。

【0082】モード情報信号PIRFHはMDQCK信号の状態が選択できるようにする信号である。即ち、前記PIRFHが“ロー”となる場合、前記制御回路317はイネーブルされる。そして、調整信号PIDSFは前記MDQCK信号の状態を選択する信号である。即ち、PIDSFの論理状態が“ハイ”の場合の前記MDQCKの論理状態は“ロー”となる。そして前記PIDSFの論理状態が“ロー”の場合の前記MDQCKの論理状態は“ハイ”となる。

【0083】そして、初期化信号PIRSTは初期には各セルブロックに基本的に同一データでテストするように前記MDQCK信号を“ロー”にする。

【0084】前記ラッチ手段707は前記MDQCKを持続的にラッチされうようにする。従って、前記MD

QCKは一度テストデータパターンが決定された後は、新たな情報が入力されるまで情報を持続することになる。

【0085】図6は図1の判定回路330を示した図面である。これを参照すれば、前記判定回路330は同一テスト回路801、相反テスト回路803、第1伝送ゲート805、第2伝送ゲート807及び反転手段809とを具備する。

【0086】前記同一テスト回路801はマルチテスト動作時にイネーブルされ、前記第1セルブロック22をテストした第1テスト信号RDO1と前記第2セルブロック24をテストした第2テスト信号RDO2が相等しい論理状態を有し、前記第3セルブロック26をテストした第3テスト信号RDO3と前記第4セルブロック28をテストした第4テスト信号RDO4が相等しい論理状態を有する時、応答する。

【0087】前記相反テスト回路803はマルチテスト動作時にイネーブルされ、前記第1セルブロック22をテストした第1テスト信号RDO1と前記第2セルブロック24をテストした第2テスト信号RDO2が相反の論理状態を有し、前記第3セルブロック26をテストした第3テスト信号RDO3と前記第4セルブロック28をテストした第4テスト信号RDO4が相反の論理状態を有する時、応答する。

【0088】そして、前記第1伝送ゲート805は同一パターンマルチテスト動作時に前記同一テスト回路801の出力信号N802を伝送し、前記第2伝送ゲート807は相反パターンマルチテスト動作時に前記相反テスト回路803の出力信号N804を伝送する。

【0089】また、前記反転手段809は前記第1伝送ゲート805により伝送された前記同一テスト回路801の出力信号N802と前記第2伝送ゲート807により伝送された前記相反テスト回路803の出力信号N804の中選択された何れか1つを反転させ前記判定回路の出力PIDIFFを発生する。

【0090】本発明の判定回路は従来の技術の図8の判定回路30を改善したものである。例えば、前記MDQCKが“ハイ”となって各セルブロック間に異なるデータを選択使用する場合は、前記相反テスト回路803を使用してRDO1≠RDO2及びRDO3≠RDO4を判定して正常であれば前記PIDIFFを“ロー”で出力する。

【0091】一方、前記MDQCKが“ロー”となって各セルブロック間に相等しいデータを選択使用する場合は、前記同一テスト回路801を使用してRDO1=RDO2及びRDO3=RDO4を判定して正常であれば前記PIDIFFを“ロー”で出力する。

【0092】もし、セルブロックから読出したRDO1、RDO2、RDO3、RDO4が全てマルチビットテストデータをセルブロックに書込むDIN1、DIN

2、DIN3、DIN4に対して反対の論理状態となる場合には前記PIDIFFを“ロー”で出力する。しかし、前記RDO1のデータ自体が期待データと異なって現れるので不良と判定される。

【0093】図7は本発明のマルチビットテスト回路を用いたテスト方法を示した流れ図である。これを参照すれば、本発明のマルチビットテスト回路を用いたテスト方法はリセット段階901、セッティング段階903、テストデータパターンセッティング段階905、書込段階907及び読出段階909を具備している。

【0094】前記リセット段階901はマルチビットテスト回路をリセットする段階である。前記セッティング段階903は前記リセット段階901の後マルチビットテストモードをセッティングする段階である。そして、前記テストデータパターンセッティング段階905は前記セッティング段階903の後マルチビット等にテストデータのパターンをセッティングする段階である。前記書込段階907は前記テストデータパターンセッティング段階905でセッティングされたテストデータをセルに書込む段階であり、読出段階909は前記書込段階907でセルに書込まれたデータを読出す段階である。

【0095】前記テストデータパターンセッティング段階905はパターン決定段階911、最初サイクル判別段階913、同一データセッティング段階915及び相反データセッティング段階917を具備している。

【0096】前記パターン決定段階911は同一データをテストするかを決定する段階である。前記最初サイクル判別段階913は前記パターン決定段階911で同一データをテストすることに決定した場合、マルチビットテストセッティング後の最初のテストサイクルかを判別する段階である。そして、前記同一データセッティング段階915は前記最初サイクル判別段階913で判別した結果、最初テストサイクルでない場合マルチビット等に同一データをセッティングする段階である。また、前記相反データセッティング段階917は前記パターン決定段階911で相異なるデータをテストすることに決めた場合、マルチビット等に相異なるデータをセッティングする段階である。

【0097】前記読出段階909後、段階919で他のテストを続けるかを判断する。判断により、他のテストを続ける場合にはテストデータパターンセッティング段階905に戻り、他のテストを続けない場合にはリセット段階921に進みマルチビットテスト回路をリセットして処理を終了する。

【0098】

【発明の効果】以上説明したように、前記のような本発明のマルチビットテスト回路及びテスト方法により各セ

ルブロックに相等しいデータまたは相反のデータを選択的に書込、読出可能になる。よって、本発明のマルチビットテスト回路及びテスト方法は不良率の発見を向上でき、テスト時間及びコストを低減しうる。

【0099】本発明は前記実施例に限定されなく、多くの変更が本発明の技術的思想内で当分野の通常の知識を有する者により可能であることは明白である。

【図面の簡単な説明】

【図1】本発明のマルチビットテスト回路を示したブロック図である。

【図2】A形テストデータ書込回路を示した図面である。

【図3】B形テストデータ書込回路を示した図面である。

【図4】C形テストデータ書込回路を示した図面である。

【図5】図1の制御回路を示した図面である。

【図6】図1の判定回路を示した図面である。

【図7】本発明のマルチビットテスト回路を用いたテスト方法を示した流れ図である。

【図8】従来の技術のマルチビットテスト回路を示したブロック図である。

【図9】図8の判定回路を示した図面である。

【符号の説明】

- 11 A形テストデータ書込回路
- 15 B形テストデータ書込回路
- 19 第1のC形テストデータ書込回路
- 21 第2のC形テストデータ書込回路
- 22 第1セルフブロック
- 24 第2セルフブロック
- 26 第3セルフブロック
- 28 第4セルフブロック
- 32 比較器
- 301 マルチビットテスト回路
- 317 制御回路
- 332 判定回路
- 401 伝送手段
- 403、503、603、703 ラッチ手段
- 405 第1バッファ手段
- 407 第2バッファ手段
- 501、601 選択手段
- 505、605 バッファ手段
- 617 パターン選択手段
- 711 第1ブリチャージ手段
- 713 第2ブリチャージ手段
- 801 同一テスト回路
- 803 相反テスト回路

【図 1】

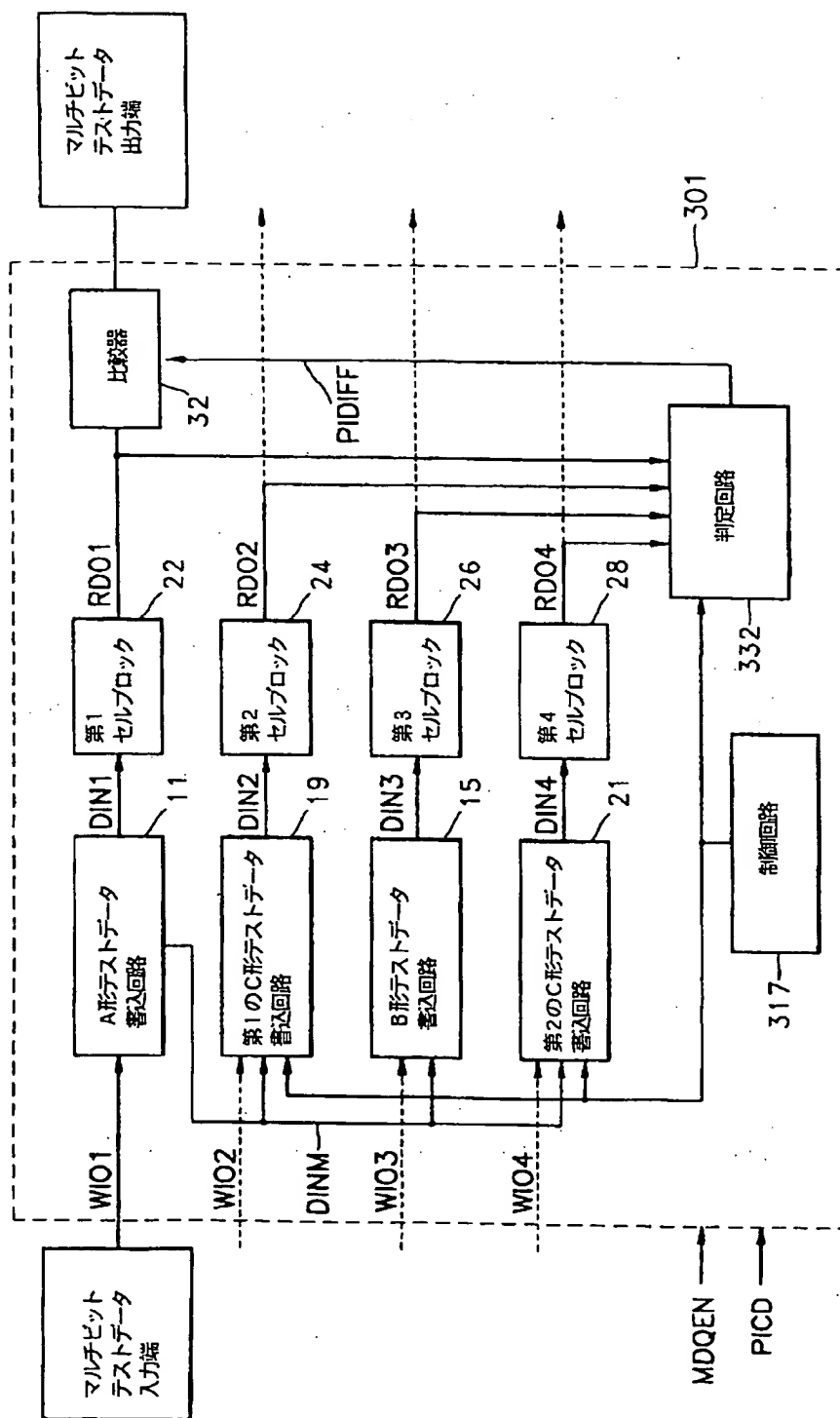
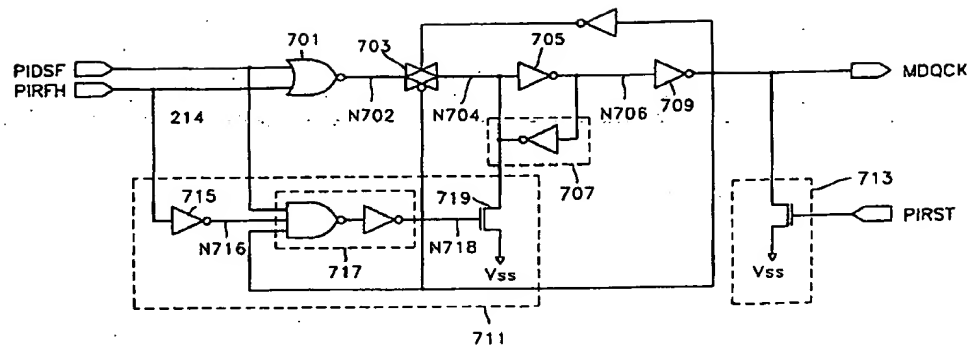


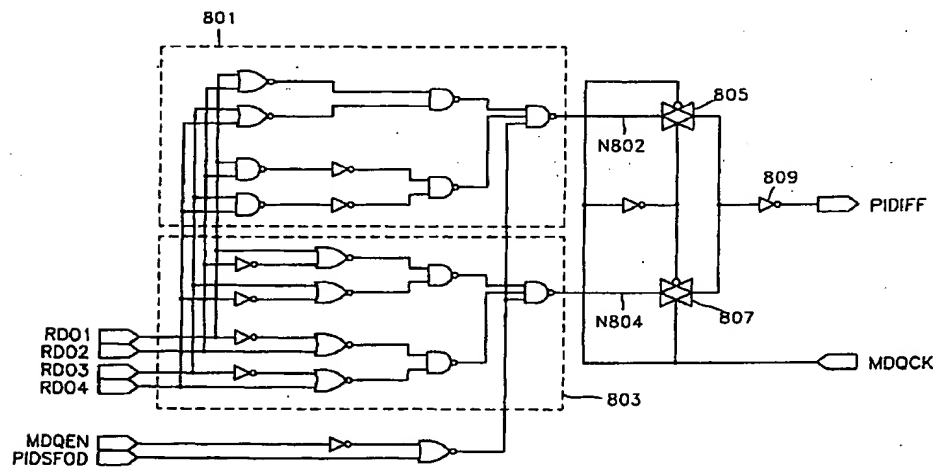
Figure 1 is a block diagram of a data input circuit. The circuit includes a first input signal (WIO1), a second input signal (PICD), and two output signals (DIN1 and DINM). The circuit is divided into several functional blocks: 401 (input buffer), 402 (NAND gate), 403 (NAND gate), 404 (NAND gate), 405 (NAND gate), 407 (NAND gate), 409 (NAND gate), 411 (NAND gate), and 413 (NAND gate). The inputs are connected to the gates, and the outputs are connected to the outputs of the gates.

Figure 1 is a block diagram of a control circuit for a microcontroller. The circuit includes several inputs and outputs, and a series of logic gates and multiplexers. The inputs are WIOi, DINi, MDQCK, DINM, and MDQEN. The output is PICD. The circuit is divided into sections by dashed lines. The top section contains a multiplexer 603 and a logic gate N602. The middle section contains a multiplexer 605 and a logic gate N604. The bottom section contains a logic gate N608 and a multiplexer 607. The circuit also includes several inverters (609, 612, 613, 619, 611) and multiplexers (603, 605, 607). The components are labeled with numbers 601 through 621.

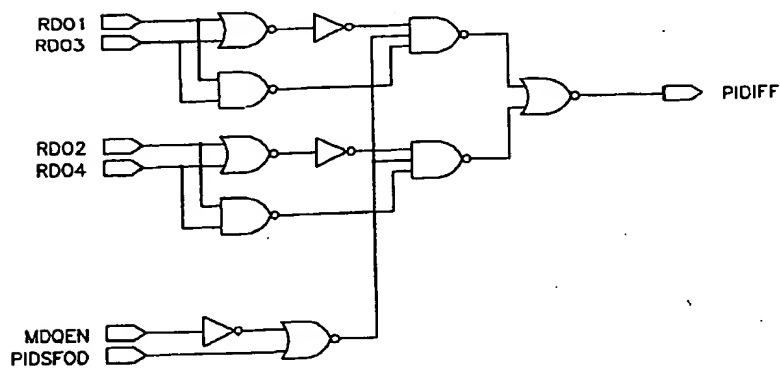
【図 5】



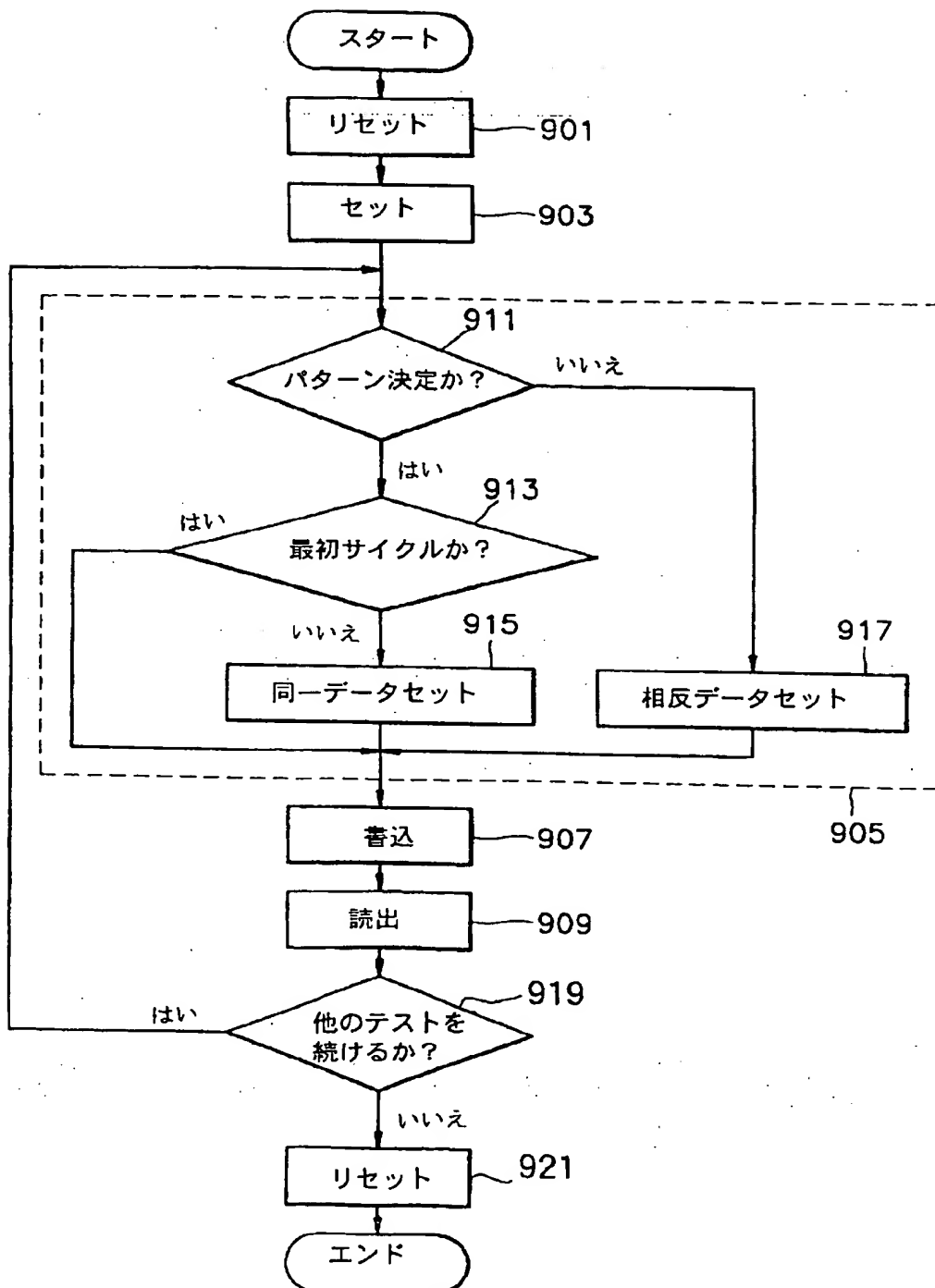
【図 6】



【図 9】

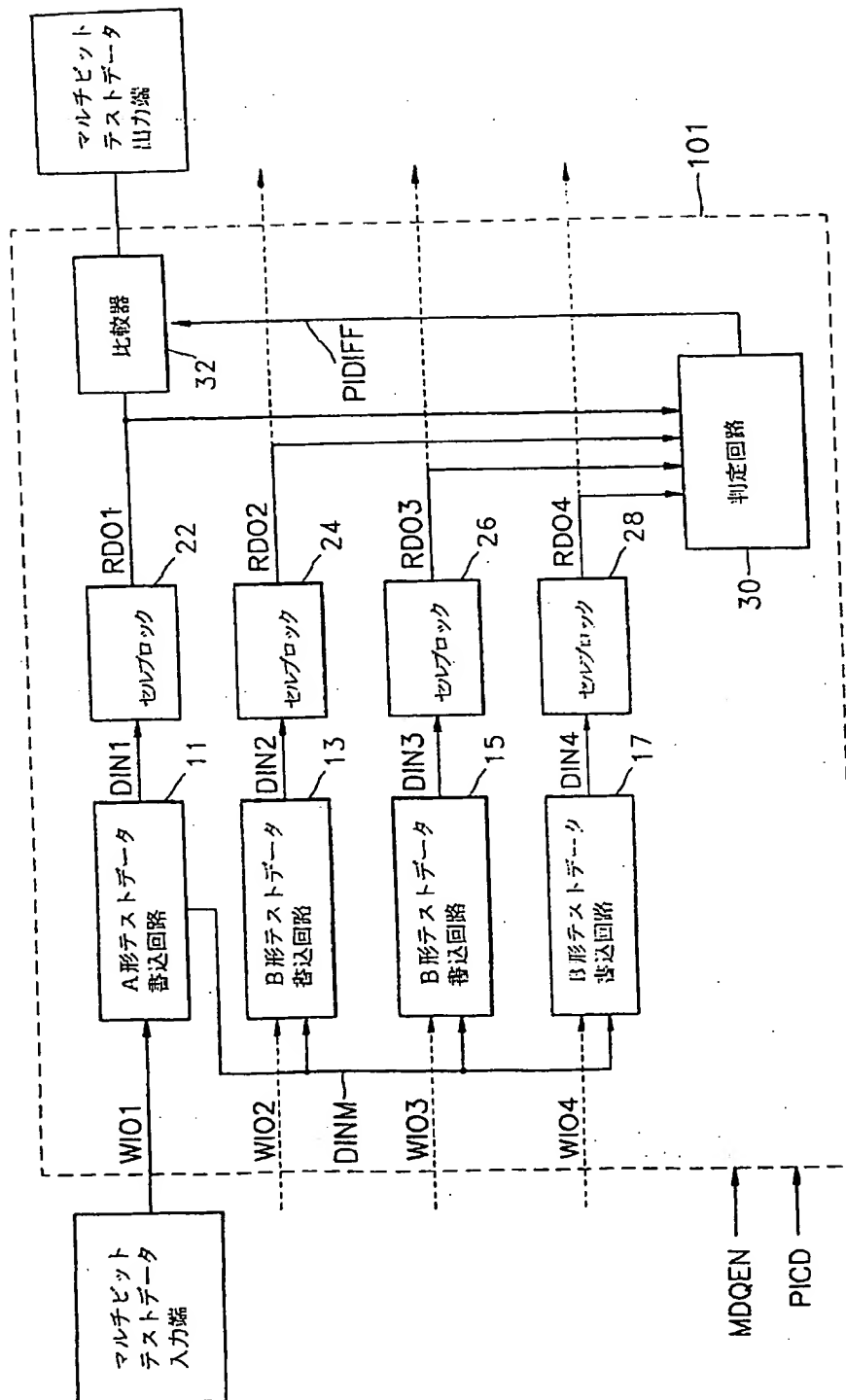


【図7】



(17)

【図8】



フロントページの続き

(72)発明者 金 鍾 鉉
大韓民国京畿道水原市長安区亭子洞30-1
番地現代アパートメント101棟605号

(72)発明者 皇 ボ 鉉
大韓民国京畿道水原市八達区望浦洞524-
2 番地南陽ヴィラ 2 棟401号